

(Translation)

NOTICE OF PRELIMINARY REJECTION

APPLICANT(S)

Name *Hynix Semiconductor Inc.*
Address *San 136-1, Ami-ri, Bubal-eub, Ichon-shi
Kyoungki-do 467-860, Republic of Korea*

ATTORNEY(S)

Name Shinsung International Law firm
Address 741-40, Yeok-sam 1-dong, Kangnam-gu
Seoul 135-924, Republic of Korea

APPLICATION No. 2001-38689

TITLE *METHOD OF FORMING MEMORY DEVICE*

This application was preliminarily rejected pursuant to Article 63 of the Korean Patent Law based on the following reason. Should there be any opinion against this action, please file a written argument by May 17, 2003. (You can apply for 1-month extension per each case, and we do not notify you of the confirmation for such term extension.)

[REASON]

This invention described in claims 1-8 can be easily invented by those skilled in the art as pointed out below. Accordingly, the above-identified patent application cannot be registered pursuant to Article 29, Paragraph 2 of the Korean Patent Law.

[BELOW]

Claims 1-8 of this invention relate to a method for fabricating a semiconductor device. These disclosed claims show that a lower electrode is constituted with a TiN layer. However, the cited reference (KR Laid-Open No. 2001-37680) relates to a method for forming a capacitor, including a lower electrode divided into a cell unit by forming a TiSi layer on top of a contact plug and subsequently removing a sacrifice insulating layer. Therefore, based on the cited reference, it is determined that the present invention can be easily conceivable to those ordinary skilled in the art.

[Attachment] KR Laid-Open No. 2001-37680

Dated this 17th day of March, 2003

Examination Bureau IV
Examiner, Ji-Eun Cho

KOREAN INTELLECTUAL PROPERTY OFFICE

출력 일자: 2003/3/18

pe1H0104

발송번호 : 9-5-2003-009506076

발송일자 : 2003.03.17

제출기일 : 2003.05.17



수신 : 서울 강남구 역삼1동 741-40번지

특허법인 신성 귀하

135-924

특허청 의견제출통지서

출원인 명칭 주식회사 하이닉스반도체 (출원인코드: 119980045698)

주소 경기 이천시 부발읍 아미리 산 136-1

대리인 명칭 특허법인 신성

주소 서울 강남구 역삼1동 741-40번지

출원번호 10-2001-0038689

발명의 명칭 반도체소자의 제조방법

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서 또는/및 보정서를 제출하여 주시기 바랍니다. (상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장승인통지는 하지 않습니다.)

[이유]

이 출원의 특허청구범위 제 1-8항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것으로 특허법 제29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

[아래]

본원 발명은 반도체 소자의 제조 방법에 관한 것으로 국내공개특허공보 2001-37680호 (2001.05.15)의 커패시터 제조 방법에 있어 도면1의 콘택 플러그 상부에 TiSi층을 형성한 후 희생 절연막이 제거되어 셀 단위로 분리되는 커패시터의 하부전극을 형성하는 구성 및 실시예에 있어 TiN금속막으로 이루어진 하부전극의 구성으로부터 당업자에 의해 용이하게 발명할 수 있는 것임.

[첨부]

첨부1 한국공개특허공보 2001-37680호(2001.05.15) 1부 끝.

2003.03.17

특허청

심사4국

반도체2심사담당관실

심사관 조지은



<<안내>>

문의사항이 있으시면 ☎ 042-481-5753 로 문의하시기 바랍니다.

특허청 직원 모두는 깨끗한 특허행정의 구현을 위하여 최선을 다하고 있습니다. 만일 업무처리과정에서 직원의 부조리행위가 있으면 신고하여 주시기 바랍니다.

▶ 홈페이지(www.kipo.go.kr)내 부조리신고센터

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ H01L 27/108	(11) 공개번호 10-2001-0037680 (43) 공개일자 2001년 05월 15일
(21) 출원번호 10-1999-0045336	
(22) 출원일자 1999년 10월 19일	
(71) 출원인 삼성전자 주식회사	출증용
	경기 수원시 팔달구 매단3동 416
(72) 발명자 곽동화	경기도 수원시 팔달구 우만동 주공 APT 408동 1001호
	활유상
(74) 대리인 경기도 용인시 수지읍 삼익 APT 103동 903호	임정현, 권현수

설명구 : 없음**(54) 커파시터 및 그 제조 방법****요약**

본 발명은 반도체 장치 제조 방법 중 커파시터 제조 방법에 관한 것으로, 커파시터를 구성하는 요소와 공정 단순화를 이를 수 있는 제조 방법이 개시된다. 커파시터의 하부전극으로 TiN 또는 CrO_x 가능한 금속막을 사용하고 유전체막으로 알루미나(Al₂O₃)를 사용하여 커파시터의 상부전극으로 폴리실리콘 내지는 금속막을 사용한다. 또한, 실린더형 커파시터를 형성하되, 콘택 플러그 없이 커파시터의 하부전극이 바로 랜딩 패드와 콘택하도록 할으로써 공정 단순화를 이를 수 있으며 작은 면적에서 최소한의 커파시터스를 얻을 수 있다.

도표도**도20****명세서****도면의 간접적 설명**

도 1은 종래의 방법으로 형성된 실린더형 커파시터를 보여주는 단면도; 및

도 2a 내지 도 2c는 본 발명의 실시예에 따른 커파시터 제조 방법을 순차적으로 보여주는 단면도이다.

* 도면의 주요 부분에 대한 부호의 설명

110, 210 : 반도체 기판	112, 212 : 게이트 전극
114, 214 : 랜딩 패드	118, 216 : 제 1 절연막
116, 218 : 비트 라인	220 : 제 2 절연막
222 : 실리콘 질화막	224 : 회생 산화막
226 : 개구부	128, 228 : TiSi막
120 : 콘택플러그	130, 230 : 제 1 도전막
232 : 제 3 절연막	132, 234 : 유전체막
134, 236 : 제 2 도전막	

발명의 상세한 설명**발명의 목적****발명이 속하는 기술 및 그 분야의 기술**

본 발명은 반도체 장치 및 제조 방법에 관한 것으로, 좀 더 구체적으로 커파시터와 그 제조 방법에 관한 것이다.

반도체 메모리가 고질적화, 고용량화 되며가면서 최소 선폭의 디자인 룰(design rule)이 0.25 μ m 미하르급격히 감소하고 있다. 디자인 룰이 작아지면서 메모리의 셀(cell) 면적도 작아지고 셀을 이루는 구조 요소들의 크기도 작아지고 있다. 또한, 미세한 패턴들을 형성하기 위해 공정 조건들이 더 엄격해지고 정밀해지고 있다. 메모리 셀의 구성 요소 중 면적에 가장 민감하게 반응하는 소자는 커패시터(capacitor)이다. 반도체 메모리는 커패시터에 전하를 축적시키므로 정보를 저장한다. 커패시터의 전하 축적 정도를 나타내는 커패시턴스(capacitance)는 커패시터를 이루고 있는 전극의 면적과 유전체의 유전상수에 비례하기 때문에 셀 면적의 감소는 커패시터 면적의 감소를 의미한다. DRAM(Dynamic Random Access Memory)에 있어서, 전압차에 의한 데이터 센싱(data sensing) 방법으로 정보를 처리 해야하고 소프트 에러(soft error)에 의한 정보의 유실을 방지하기 위해 최소한으로 25 내지 30 fF의 커패시턴스를 필요로 한다.

커패시턴스를 증가시키기 위한 한가지 방법은 커패시터의 전극 표면적을 증가시키는 것이다. 이를 실현하기 위한 많은 방법들이 제시되어 왔다. 그 중에 가장 광범위하게 사용되는 방법이 실린더형 하부전극을 형성한 후 그 위에 유전체막과 상부전극을 증착하는 것이다. 실린더형 하부전극은 얀족과 바깥쪽을 모두 전극으로 사용할 수 있기 때문에 전극의 유효표면적을 최대로 할 수 있다.

한편, 다른 방법으로는 고유전상수를 갖는 유전체를 개발하여 적용하는 것이다. 현재 주로 사용하는 유전체질로는 ON(Oxide-Nitride) 또는 ONO(Oxide-Nitride-Oxide)이지만 고유전체질로 BST, PZT 및 PLZT 등의 품질이 적용 단계에 있다.

도 1은 증래의 방법에 의해 형성된 실린더형 커패시터 제조를 보여주는 단면도이다.

도 1을 참조하면, 반도체 기판(110) 상에 게이트 전극(112)과 그 사이에 랜딩 패드(114)가 형성된다. 제 1 절연막(118)과 그 속에 비트 라인(116)이 형성된다. 상기 제 1 절연막(118)을 둘러 상기 랜딩 패드(114)와 접촉되는 콘택 플러그(120)가 형성된다. 상기 기판(110) 전면에 실리콘 절화막(도면에 미도시)과 희생 산화막(도면에 미도시)이 차례로 증착된다. 사진 공정을 통해 상기 콘택 플러그(120)의 상부 표면이 노출될 때까지 상기 희생 산화막과 실리콘 절화막이 삭각되어 개구부가 형성된다. 상기 개구부에 노출된 상기 콘택 플러그(120) 상부에 TiSi층(128)이 형성된다. 상기 TiSi층(128)은 콘택 저항률 감소시키는 효과가 있다. 상기 개구부 내벽에 커패시터 하부전극을 제 1 도전막(130)이 형성된다. 상기 제 1 도전막(130)은 폴리실리콘 내지는 도전성이 높은 도핑된 폴리실리콘(doped poly-Si)으로 형성된다. 상기 희생 절연막이 제거되어 셀 단위로 분리된 커패시터의 하부전극(130)이 노출된다. 상기 반도체 기판(110) 전면에 유전체막(132)이 증착된다. 상기 유전체막(132) 상에 커패시터 상부전극을 제 2 도전막(134)이 증착된다. 상기 제 2 도전막(134)은 폴리실리콘 내지는 도전성이 높은 도핑된 폴리실리콘(doped poly-Si)으로 형성된다.

발명이 이루고자 하는 기술적 목표

본 발명의 목적은 커패시터의 하부전극으로 TiN 금속막을 사용한 커패시터를 제공하는 것이다.

본 발명의 다른 목적은 커패시터의 유전체막으로 알루미나를 사용한 커패시터를 제공하는 것이다.

본 발명의 또 다른 목적은 콘택 플러그 없이 커패시터의 하부전극을 바로 랜딩 패드에 콘택시키는 커패시터 제조 방법을 제공하는 것이다.

발명의 구성 및 작용

상술한 목적을 달성하기 위한 본 발명에 의하면, 커패시터는 하부전극으로 TiN 금속막을 사용하고 유전체막으로 알루미나를 형성한다.

상술한 목적을 달성하기 위한 본 발명에 의하면, 커패시터 제조 방법은 반도체 기판 상에 게이트 전극을 형성한다. 상기 게이트 전극 사이에 랜딩 패드를 형성한다. 상기 기판 전면에 제 1 절연막을 증착한다. 상기 제 1 절연막 상에 비트 라인을 형성한다. 상기 기판 전면에 제 2 절연막을 증착한다. 상기 제 2 절연막 상에 실리콘 절화막을 증착한다. 상기 실리콘 절화막 상에 제 3 절연막을 증착한다. 사진 공정을 통해 상기 랜딩 패드가 노출될 때까지 상기 제 3 절연막, 실리콘 절화막, 제 2 절연막 및 제 1 절연막을 차례로 삭각하여 개구부를 형성한다. 상기 개구부에 노출된 상기 랜딩 패드 상에 TiSi층을 형성한다. 상기 기판 전면에 금속막을 증착한다. 상기 기판 전면에 제 3 절연막을 증착한다. 상기 제 2 절연막이 노출될 때까지 상기 제 3 절연막 및 금속막을 평탄화 삭각한다. 상기 제 2, 제 3 절연막을 제거한다. 상기 기판 전면에 유전체막을 증착한다. 상기 유전체막 상에 도전막을 증착한다.

이 방법의 바람직한 실시예에 있어서, 상기 금속막은 TiN 또는 CVD 가능한 금속막으로 형성된다.

이 방법의 바람직한 실시예에 있어서, 상기 유전체막은 알루미나(Al₂O₃)로 형성된다.

이 방법의 바람직한 실시예에 있어서, 상기 도전막은 금속막 및 폴리실리콘 중 하나로 형성된다.

(제 1 실시예)

본 발명의 신규한 커패시터 제조 방법은 커패시터의 하부전극으로 TiN 또는 CVD 가능한 금속막을 사용하고 유전체막으로 알루미나(Al₂O₃)를 사용한다.

증래의 제조 방법과 동일하게 실린더형 커패시터를 형성하되, 커패시터의 하부전극은 TiN 또는 CVD 가능한 금속막으로 형성된다. 하부전극으로 TiN 또는 CVD 가능한 이리듐(Ir), 루세늄(Ru) 등의 금속을 사용하면 하부 전극에 음의 전압이 인가될 때 누설 전류(leakage current)가 폴리실리콘에 비해 적은 장점을 가진다. 상기 하부전극 상에 유전체막을 증착하되, 상기 유전체막은 알루미나(Al₂O₃)로 형성된다. 상기 알루미나의 유전상수는 8 내지 10으로 대 또는 ONO 구조의 유전체막보다 유전상수가 높은 장점이 있다. 상기 유전체막 상에 커패시터 상부전극으로 폴리실리콘 내지는 금속막이 증착된다.

(제 2 실시예)

도 2a 내지 도 2c를 참조하여 본 발명의 제 2 실시예를 자세히 설명한다.

본 발명의 신규한 커패시터 제조 방법은 커패시터의 하부전극과 랜딩 패드를 콘택 티어로 끊어 바로 콘택 시킨다.

도 2a 내지 도 2c는 본 발명의 제 2 실시예에 따른 커패시터 제조 방법을 보여주는 단면도이다.

도 2a를 참조하면, 반도체 기판(210) 상에 게이트 전극(212)이 형성된다. 상기 게이트 전극(212) 사이에 랜딩 패드(214)가 형성된다. 상기 랜딩 패드(214)는 폴리실리콘 내지는 도핑된 폴리실리콘(doped poly-Si)으로 형성된다. 상기 기판(210) 전면에 제 1 절연막(216)이 증착된다. 상기 제 1 절연막(216)은 APCVD(Atmospheric Pressure Chemical Vapor Depositon) 방식에 의한 n-TEOG USG(Undoped Silica Glass)로 형성된다. 상기 제 1 절연막(216) 상에 비트 라인(bit line)(218)이 형성된다. 상기 비트 라인(218)은 텅스텐 단결합층(또는 폴리실리콘)상에 텅스텐 실리사이드(tungsten silicide)가 적층된 구조로 형성되며, 출면에 절화막 스페이서(spacer)가 형성된다. 상기 반도체 기판(210) 전면에 제 2 절연막(220)이 증착된다. 상기 제 2 절연막(220)은 APCVD 방식에 의한 BPSG(Boron Phosphorus Silica Glass)로 형성된다. 상기 제 2 절연막(220) 상에 LPCVD(Low Pressure CVD) 방식에 의한 실리콘 절화막(222)이 증착된다. 상기 실리콘 절화막(222)은 산화막에 대한 식각 정지막(etch stopping layer)의 역할을 수행한다. 상기 실리콘 절화막(222) 상에 회생 산화막(224)이 증착된다. 상기 회생 산화막(224)은 USG, BPSG 중 적어도 하나로 형성된다. 또한, 상기 회생 산화막(224)의 증착 두께가 커패시터 하부전극의 높이를 결정한다. 사진 공정을 통해 상기 실리콘 절화막(222)이 노출될 때까지 상기 회생 산화막(224) 상에 개구부(opening)(226)가 형성된다.

도 2b를 보는 바와 같이, 상기 랜딩 패드(214)가 노출될 때까지 상기 개구부(226) 미하의 제 2, 제 1 절연막(220, 216)이 더 식각된다. 이 때, 상기 비트 라인(218)의 스페이서와 지지점 콘택(SAC: Self Align Contact)으로 작용한다. 이로써, 상기 개구부(226)가 더 확장되어 더 깊게 형성된다. 노출된 상기 랜딩 패드(214) 상에 TiSi막(228)이 형성된다. 상기 TiSi막(228)은 Ti 금속이 600 내지 2000㎚의 흐름도에서 상기 랜딩 패드(214)의 실리콘(Si)과 반응하여 선택적으로 형성된다. 상기 개구부(226) 내벽을 포함하여 상기 반도체 기판(210) 전면에 제 1 도전막(230)이 증착된다. 상기 제 1 도전막(230)은 CVD 방식에 의한 TiN 금속막으로 형성된다. 상기 반도체 기판(210) 전면에 제 3 절연막(232)이 증착된다. 상기 제 3 절연막(232)은 USG, BPSG, CVD(Spin On Glass) 중 하나로 형성된다. 상기 회생 산화막(224)이 노출될 때까지 상기 제 3 절연막(232)과 제 1 도전막(230)이 평단화 식각된다. 상기 평단화 식각은 화학적 기계적 연마(CMP:Chemical Mechanical Polishing) 또는 에치백(etch back) 공정을 통해 수행된다. 이로써, 상기 제 1 도전막(230)이 셀(cell) 단위로 분리되어 하부전극이 형성된다.

발명의 효과

본 발명은 유전체막으로 유전장수가 큰 알루미나를 사용하므로 커패시턴스를 증가시킬 수 있는 효과가 있다.

또한, 본 발명은 TIN 또는 CVD 가능한 금속막 하부전극을 사용하므로 하부전극에 음의 전압 인가시 누설 전류를 감소시킬 수 있는 효과가 있다.

그리고, 본 발명은 하부전극을 바로 랜딩 패드에 콘택 시키므로 공정 단순화 및 저가 공정이 가능하여 0.05 내지 0.08㎟의 면적에서 25 내지 30fF의 커패시턴스를 확보할 수 있다.

(57) 청구의 범위

청구항 1. 반도체 기판 상에 커패시터를 형성하되, TiN 또는 CVD 방식으로 증착 가능한 금속막으로 형성된 커패시터의 하부전극과;

상기 커패시터의 하부전극 상에 알루미나(Al₂O₃)로 형성된 유전체막과;

상기 유전체막 상에 폴리실리콘 및 CVD 방식으로 증착 가능한 금속막 중 하나로 형성된 커패시터 하부전극으로 구성된 커패시터.

청구항 2. 반도체 기판(210) 상에 게이트 전극(212)을 형성하는 단계;

상기 게이트 전극(212) 사이에 랜딩 패드(214)를 형성하는 단계;

상기 기판(210) 전면에 제 1 절연막(216)을 증착하는 단계;

상기 제 1 절연막(216) 상에 비트 라인(218)을 형성하는 단계;

상기 기판(210) 전면에 제 2 절연막(220)을 증착하는 단계;

상기 제 2 절연막(220) 상에 실리콘 절화막(222)을 증착하는 단계;

상기 실리콘 절화막(222) 상에 제 3 절연막(224)을 증착하는 단계;

사진 광정을 통해 상기 랜딩 패드(214)가 노출될 때까지 상기 제 3 절연막, 실리콘 절화막, 제 2 절연막 및 제 1 절연막(224, 222, 220, 216)을 차례로 적층하여 개구부(226)를 형성하는 단계;

상기 개구부(226)에 노출된 상기 랜딩 패드(214) 상에 TiSi막(228)을 형성하는 단계; 및

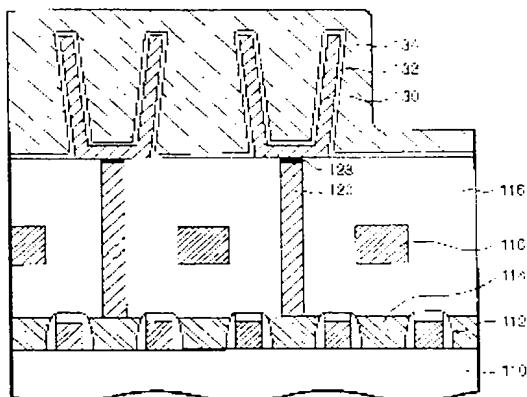
상기 개구부(226) 내벽에 금속막을 증착하여 커파시터의 하부전극(230)을 형성하는 단계를 포함하는 커파시터 제조 방법.

청구항 3. 제 2 항에 있어서,

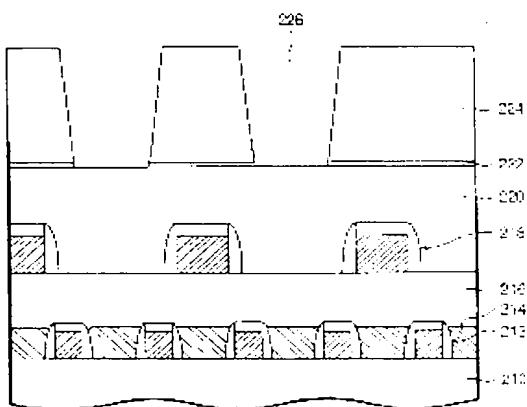
상기 금속막은 TiN 또는 CVD 가능한 금속막으로 형성하는 커파시터 제조 방법.

도면

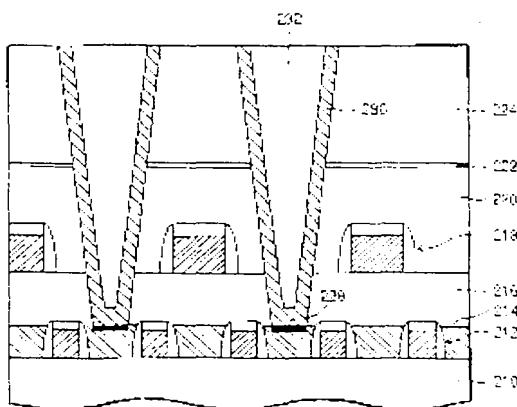
도면1



도면2a



S-PL2b



S-PL2a

